

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-186213

(43)Date of publication of application : 02.07.2004

(51)Int.Cl.

H01L 21/60
H01L 23/12

(21)Application number : 2002-348277

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.11.2002

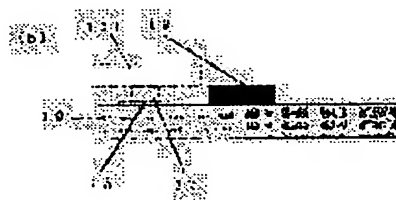
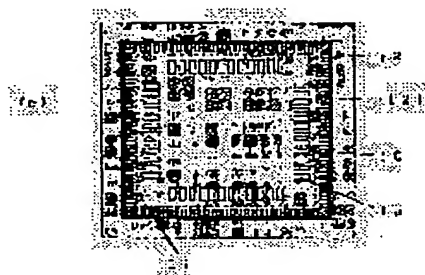
(72)Inventor : NISHIMURA TAKAO
ONODERA HIROSHI
UNO TADASHI
TAKASHIMA AKIRA

(54) CIRCUIT SUBSTRATE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize improvements in the efficiency of a process and the reliability by enabling the unpreferred adhesion of an underfill resin to be avoided except a predetermined portion, in a range in which the thickness of the semiconductor chip is 150 μm or less and enabling a fillet of a preferred shape to be easily formed in a semiconductor device in which a semiconductor chip is bump-connected to a circuit substrate.

SOLUTION: The pattern of an insulating film is provided on the surface of the circuit substrate so as to surround a region for placing the semiconductor chip on the circuit substrate. A plurality of grooves extended from the side edge approaching the region for placing the semiconductor chip toward outward are formed on the pattern of this insulating film.

LEGAL STATUS

[Date of request for examination]

07.10.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

It is the circuit board in which a semiconductor chip is carried.

Two or more conductor patterns connected through each of two or more projection electrodes for being prepared in either of each front face of this circuit board and this semiconductor chip which counters mutually, and connecting this semiconductor chip and the circuit board electrically,

The pattern of an insulator layer with which two or more slots which are prepared so that the field in which this semiconductor chip in said front face of this circuit board should be carried may be surrounded, have the verge close to this field, and extend toward the method of outside from this verge are formed

** — since — the circuit board characterized by changing.

[Claim 2]

The slot which said semiconductor chip is a rectangle and is formed in the pattern of said insulator layer is the circuit board according to claim 1 characterized by being formed for a long time compared with the part which counters the shorter side of this semiconductor chip in the part of the pattern of this insulator layer that counters the long side of this semiconductor chip.

[Claim 3]

The thickness of the insulator layer which constitutes the pattern of said insulator layer is the circuit board according to claim 1 or 2 characterized by being greatly [it is equal to the distance between said semiconductor chip which should be carried in said circuit board, and said each front face of this circuit board which counters mutually, or / more] smaller than the distance between this circuit board front face and the upper front face of this semiconductor chip.

[Claim 4]

The semiconductor device characterized by consisting of the circuit board given in any [claim 1 thru/or] of 3 they are, filling up with adhesives between said each front face of said semiconductor chip and this circuit board which counters mutually, and covering the side face of this semiconductor chip by these adhesives.

[Claim 5]

The process which supplies adhesives to said field in which said semiconductor chip in said circuit board should be carried, The process which makes these some adhesives flow to said slot currently formed in the pattern of said insulator layer from this field while impressing a load to this semiconductor chip and connecting this semiconductor device and this circuit board to it electrically through said projection electrode, after laying this semiconductor chip in this field to which these adhesives were supplied The manufacture approach of the semiconductor device according to claim 4 characterized by including **.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

A semiconductor device is started, especially bump connection of the semiconductor chip is made at the circuit board, and this invention relates to the semiconductor device which has the structure where it filled up with under-filling between a semiconductor chip and the circuit board.

[0001]

[Description of the Prior Art]

Flip chip mounting which connects a semiconductor chip and the circuit board electrically with the electrode (bump) of the letter of a projection formed in either of the circuit boards which carries a semiconductor chip or this from the demand of the miniaturization of a semiconductor device, thin-shape-izing, and densification is adopted.

[0002]

while supplying under-filling resin to the field in which the semiconductor chip on the circuit board is carried beforehand as a flip chip mounting method of low cost, impressing heat, supersonic waves, or these both sides to the semiconductor chip laid in the circuit board a load and if needed and connecting a semiconductor chip to the circuit board electrically through a bump, a semiconductor chip and the circuit board are mutually pasted up with under-filling resin — it is an approach (under-filling resin point putting in law).

[0003]

Usually, the amount of supply is controlled so that the so-called fillet to which, as for under-filling resin, the part covers the side face of a flash and a semiconductor chip around a semiconductor chip is formed. When a temperature cycle is impressed to a semiconductor device, a fillet eases the thermal stress resulting from the difference of the coefficient of thermal expansion of a semiconductor chip and the circuit board, prevents exfoliation with a semiconductor chip and the circuit board, especially fracture of a bump connection, and it is needed in order to improve the dependability of a semiconductor device.

[0004]

[Problem(s) to be Solved by the Invention]

In order to advance miniaturization of a semiconductor device, thin shape-ization, etc. further, it is effective to make thickness of a semiconductor chip small, but if a semiconductor chip is made thin, the under-filling resin of a fillet will become easy to creep up on the top face of a semiconductor chip, and will produce various problems.

[0005]

That is, in a flip chip mounting process, the bonding tool which carries out vacuum suction and holds a semiconductor chip imprints, and the under-filling resin adhering to the top face of a semiconductor chip reaches the suction hole of a bonding tool, produces clogging, and causes poor suction. For this reason, it is necessary to remove the imprinted under-filling resin. For this reason, a result to which productivity falls is brought. Moreover, it the under-filling resin adhering to a bonding tool is imprinted by the semiconductor chip which carried out vacuum suction next and this solidifies, since the front face is not flat in becoming a poor dimension in future processes, vacuum suction by the bonding tool becomes impossible [this semiconductor chip].

[0006]

The semiconductor device which loaded the 2nd semiconductor chip on the other hand on the semiconductor chip carried on the circuit board is indicated. (For example, patent reference 1 and 2)

[0007]

[Patent reference 1]

Publication-number 5-No. 47998 official report

[0008]

[Patent reference 2]

Publication-number 7-No. 236710 official report

If in the case of such a semiconductor device of structure under-filling resin adheres to the upper front face of the first semiconductor and it solidifies, it will become a failure at the process which loads the 2nd semiconductor on it.

[0009]

For the above-mentioned problem, the thickness of a semiconductor chip is 150 micrometers. Or it will become remarkable if it becomes less than [it]. Although it should be able to solve if the amount of the under-filling resin overflowing into the perimeter of a semiconductor chip is lessened, it is difficult to control supply of under-filling resin such in practice. When supply of under-filling resin runs short, the fillet of a desirable configuration is not formed but there is a possibility that it may become impossible to guarantee the dependability of the semiconductor device to a temperature cycle. Therefore, it is 150 micrometers, without making under-filling resin adhere to an upper front face. Or the approach of forming the fillet of under-filling resin in the side face of the semiconductor chip of the thickness not more than it was demanded.

[0010]

By the way, as shown in drawing 10 , the semi-conductor mounting approach which forms the dam (weir-like structure) 3 which consists of a solder resist in the perimeter of the field in which the semiconductor chip 2 in the circuit board 1 is carried is proposed. (For example, patent reference 3)

[0011]

[Patent reference 3]

Publication-number 10-No. 98075 official report

The above-mentioned approach aims at preventing that the under-filling resin supplied to the perimeter of the semiconductor chip carried in the circuit board from DEHESUPENSA flows to weir stop ** and a perimeter by the dam which consists of a solder resist.

[0012]

However, if the thickness of a semiconductor chip becomes small, by the dam of a solder resist, weir stop **** under-filling resin will rise around a semiconductor chip, and will tend to flow on the upper front face of a semiconductor chip rather, and it will become easy to produce the above-mentioned problem.

On the other hand, the stress by the difference of coefficient of thermal expansion with the circuit board concentrates on the circuit board by the temperature cycle in a reliability trial etc. near [for the semiconductor chip by which bump connection was made corner], and there is a problem which poor junction tends to produce. In order to solve this, the approach of forming in the four corners of a semiconductor chip greatly the fillet which consists of under-filling resin is indicated. (For example, patent reference 4)

[0013]

[Patent reference 4]

Patent official report No. 2828021

According to the indicated approach, the above-mentioned putting in the under-filling point, taking time amount compared with law, and restraining a productivity drive, since potting of the under-filling resin will be carried out in the four corners of a semiconductor chip and it will be filled up between a semiconductor chip and the circuit board after carrying out flip chip mounting at the circuit board is not avoided.

[0014]

This invention aims at solving the trouble in the above-mentioned conventional approach.

[0015]

[Means for Solving the Problem]

Two or more projection electrodes which the above-mentioned purpose is the circuit board in which a semiconductor chip is carried, and are prepared in either this circuit board or each front face of a semiconductor chip which counters mutually, and connect this semiconductor chip and the circuit board electrically. It is prepared so that the field in which this semiconductor chip in said front face of this circuit board should be carried may be surrounded. The circuit board of this invention characterized by consisting of the pattern of an insulator layer with which two or more slots which have the verge close to this field, and extend toward the method of outside from this verge are formed. Or two or more projection electrodes which are prepared in either of each front face of a semiconductor chip, the circuit board in which this semiconductor chip is carried, and the this semiconductor chip and the circuit board which counters mutually, and connect this semiconductor chip and this circuit board electrically. It is prepared so that the field in which this semiconductor chip in this front face of this circuit board was carried may be surrounded. It is attained by the semiconductor device of this invention characterized by consisting of the pattern of an insulator layer with which two or more slots which have the verge close to this field, and extend toward the method of outside from this verge are formed.

[0016]

[Function]

The pattern of Kushigata by which two or more slots which extend in the direction of outside from a semiconductor chip loading field side were formed in the perimeter of the field in which the semiconductor chip in the circuit board is carried by the pattern which consists of an insulator layer is prepared. Since it is absorbed by the under-filling resin fang furrow which flowed into the perimeter of a semiconductor chip when putting in the under-filling resin point and carrying out flip chip mounting of the semiconductor chip by law at the circuit board, it can prevent easily superfluous under-filling resin rising and creeping up on the upper front face of a semiconductor chip. Therefore, also in flip chip mounting of a thin semiconductor chip, the fillet of the desirable configuration which consists of under-filling resin can be formed in the side face of a semiconductor chip, without reducing productivity.

[0017]

[Embodiment of the Invention]

The example of this invention is explained with reference to a drawing below. In the following drawings, the same sign is given to the same part.

Drawing 1 (a) and (b) are the top views and expansion important section sectional views for explaining the 1st example of this invention, respectively.

[0018]

The pattern 13 which consists of an insulator layer is formed in the perimeter of the field 11 (field in the dotted line in drawing 1 (a)) in which the semiconductor chip 111 (structure shown in drawing 1 (b) by the dotted line) in one principal plane of the circuit board 10 which consists of a ceramic or resin is carried. As an insulator layer, it is desirable to choose so that it may be higher and may become [whether it is equal to the height as the following table side of a semiconductor chip 111 with the upper front face of the insulator layer pattern 13 can use heat-resistant organic compound insulators such as a solder resist or polyimide, and same / thickness / and] from the upper front face of a semiconductor chip 111, for example, it is 40 micrometers. Or 100 micrometers It carries out.

[0019]

Two or more slots 131 which extend in the direction of outside from the semiconductor chip loading field 11 side are formed in the insulator layer pattern 13. the width of face of a slot 131, and the example of an array pitch — respectively — 30**5 micrometers And 60**5 micrometers it is . moreover, the die length of a slot 131 — for example, 350 micrometers it is — although — it cannot be overemphasized that effectiveness is not acquired when not much short. There is especially no constraint and it can determine suitably the width of face of the insulator layer pattern 13 in the range settled between the semiconductor chip loading field 11 and the edge of the circuit board 10.

[0020]

If the under-filling resin which flowed into the perimeter of the chip loading field 11 by impressing a load to a semiconductor chip 111 according to the structure of drawing 1 in the process which connects a semiconductor chip 111 to the bonding pad 15 currently formed in the front face of the circuit board 10 through the bump 17 after supplying under-filling resin on the circuit board 10 reaches

the insulator layer pattern 13, it will flow in all over a slot 131 by capillarity. On the other hand, under-filling resin creeps up on the side face of a semiconductor chip 111, and a fillet is formed in it. Surface tension works to the under-filling resin in a slot 131, and the under-filling resin which forms a fillet. Therefore, unless under-filling resin is filled all over a slot 131, under-filling resin does not rise around a semiconductor chip 111.

[0021]

Moreover, since the viscosity of under-filling resin falls and a fluidity increases by heating either or the both sides of the circuit board 10 and a semiconductor chip 111 in this case, formation of the influx of the under-filling resin into a slot 131 and a fillet can be performed more in a short time. In addition, a bump 17 may form in any by the side of a semiconductor chip 111 or the bonding pad 15 of the circuit board 10.

[0022]

Thus, since the operation whose slot 131 draws under-filling resin is shown, control of the amount of supply of under-filling resin or the configuration of a fillet becomes easy, and can cancel the above conventional troubles. Consequently, the improvement of dependability to improvement in the manufacture yield and productivity and the temperature cycle of a semiconductor device is attained. Such effectiveness is remarkable when the thickness of a semiconductor chip 111 becomes thin, and the contribution to thin-shape-izing of a semiconductor device and densification is size.

[0023]

Drawing 2 is a top view for explaining the 2nd example of this invention, and is the case where the semiconductor chip (illustration abbreviation) carried in the circuit board 10 is a rectangle. Therefore, the circuit board 10 is also a rectangle according to this, and the semiconductor chip loading field 11 is also a rectangle. In this example, the slot in the insulator layer pattern 13 formed in the perimeter of the semiconductor chip loading field 11 has the more long slot 132 in the part which counters the long side of a semiconductor chip, i.e., the long side of the semiconductor chip loading field 11, compared with the slot 133 in the part which counters a shorter side, or width of face is formed more densely or more narrowly. for example, the die length of a slot 133 — 200 micrometers it is — a thing — receiving — the die length of a slot 132 — 350 micrometers it is . or the array pitch of a slot 133 — 90 micrometers it is — a thing — receiving — the array pitch of a slot 132 — 60 micrometers it is . or the width of face of a slot 133 — 25*5 micrometers it is — a thing — receiving — the width of face of a slot 132 — 15*5 micrometers it is . These values are suitably set up according to the ratio of the die length of the long side of a semiconductor chip, and a shorter side, and the physical properties of under-filling resin.

[0024]

or [thus, / lengthening more the slot 132 by the side of a long side] — or the fault resulting from climax of the under-filling resin which was easier to generate in a long side side in case [which a rectangular semiconductor chip is put in the under-filling point by forming so that it may become denser, so that it may become for a long time and denser, or so that width of face may become narrow more, and is depended on law] flip chip mounting was carried out can be controlled easily.

[0025]

Drawing 3 is a top view for explaining the 3rd example of this invention, and the part 135 which bulges outside along the direction which goes to a corner from the core of the semiconductor chip loading field 11 is formed in the insulator layer pattern 13 prepared in the front face of the circuit board 10 near the corner of the semiconductor chip loading field 11. or [and / that it is more long compared with the slot 131 currently formed in the straight-line part which counters the bulge part 135, other parts 11, i.e., semiconductor chip loading field, of the insulator layer pattern 13,] — or the slot 136 formed so that width of face might become narrowly and denser more is formed so that it may become denser, or so that it may become for a long time and denser.

[0026]

In case a semiconductor chip (illustration abbreviation) is put in the under-filling resin point on the circuit board 10 and flip chip mounting is carried out by law by forming the bulge part 135 which is long or has the dense slot 136 by the corner of the insulator layer pattern 13, it flows into the perimeter of a semiconductor chip and the amount of the under-filling resin which flows into the slot 136 of the bulge part 135 by capillarity increases. Consequently, a big fillet is formed by the amount of [of a semiconductor chip] corner. Consequently, the dependability of the semiconductor device to a temperature cycle can be improved. Moreover, as the conventional technique described, productivity can be improved compared with the approach of carrying out potting of the under-filling resin to a part for the corner of a semiconductor chip, and forming a big fillet after flip chip mounting.

[0027]

Drawing 4 is a part plan for explaining the 4th example of this invention, and shows the example in which the 2nd slot which intersects slots 131, 132, and 133 was formed to the insulator layer pattern 13 in said each example. Drawing 4 (a) shows the part of the insulator layer pattern 13 before forming the 2nd slot, for example, only the 1st slot 131 is formed. Drawing 4 (b) indicates the example in which the 2nd slot 137 which crosses in the opposite innermost part of a slot 131 is formed to be the semiconductor chip loading field (illustration abbreviation) side of each slot 131 in the insulator layer pattern 13. Drawing 4 (c) shows the example in which the 2nd two slots 137 other than the 2nd slot 137 in drawing 4 (b) are formed.

[0028]

By forming the 2nd slot 137 like this example, a flow of the under-filling resin in a slot 131 is promoted by capillarity, and the effectiveness over improvement in productivity and improvement in the yield becomes larger.

Drawing 5 is a top view for explaining the 5th example of this invention, and shows the example of the circuit board in which the bonding pad for performing electrical installation with the 2nd and 3rd semiconductor chips (illustration abbreviation) was formed. That is, the bonding pad 15 for making bump connection of the 1st semiconductor chip (illustration abbreviation) is formed in the circuit board 10 inside the semiconductor chip loading field 11 like each old example.

[0029]

In this example, the bonding pad 152 for performing electrical installation with the 2nd semiconductor chip (illustration abbreviation) of the circuit board 10 is arranged outside by the pan of the insulator layer pattern 13 currently formed in the perimeter of the semiconductor chip loading field 11 along the long side, and the bonding pad 153 for performing electrical installation with the 3rd semiconductor chip (illustration abbreviation) of the circuit board 10 is arranged along with the shorter side. The 2nd and 3rd semiconductor chips are explained in a next example for details, although sequential loading is carried out and it is mutually fixed on the 1st semiconductor chip.

[0030]

Drawing 6 is an important section sectional view for explaining the 6th example of this invention. It consists of an epoxy resin and fills up the filler of a low-thermal expansion coefficient with the under-filling resin 12 by which mixed distribution was carried out in the clearance between the circuit board 10 and the semiconductor chip 111 by which flip chip mounting was carried out through the bonding pad 15 and the bump 17 on the front face. The fillet 121 which consists of the under-filling resin which flowed into the perimeter by impression of the load in a flip chip mounting process is formed in the side face of a semiconductor chip 111.

[0031]

Although the condition that the fillet 121 has extended on the insulator layer pattern 13 is shown in drawing 6, the slot (illustration abbreviation) as shown in the insulator layer pattern 13 in each above-mentioned example is formed, and since the under-filling resin which constitutes a fillet 121 is flowing into this Mizouchi, it is not indispensable to control in a configuration which extends on the insulator layer pattern 13, or the amount of supply. In addition, the external connection terminal which consists of a solder ball in order that a sign 16 may make connection with the semiconductor device and external circuit which consist of the semiconductor chip 111 carried in the circuit board 10, and a sign 18 are resin mold which closes a semiconductor device.

[0032]

In the semiconductor device shown in drawing 6, by having formed the insulator layer pattern 13, it becomes avoidable [the conventional trouble produced when the thickness of a semiconductor chip 111 becomes small], and thin shape-ization of a semiconductor device becomes easy, and productivity also improves.

Drawing 7 (a) and (b) are the top views and important section sectional views for explaining the 7th example of this invention, respectively, and show the semiconductor device which loads two or more semiconductor chips into the circuit board explained with reference to drawing 5, and grows into it. As shown in drawing 7 (a) and (b), the 2nd semiconductor chip 112 and 3rd semiconductor chip 113 make at a top the front face in which the bonding pad 154 was formed the circuit board 10 on the 1st semiconductor chip 111 by which flip chip mounting was carried out, and sequential loading is carried out. What semiconductor chips 111, 112, and 113 adjoin mutually is being fixed by adhesives 14.

[0033]

It forms the fillet 121 in the side face of the 1st semiconductor chip 111 while some under-filling resin 12 with which the clearance between the 1st semiconductor chip 111 and the circuit board 10 was filled up flows into the slot (illustration abbreviation) established in the insulator layer pattern 13 currently formed in the perimeter of a semiconductor chip loading field (illustration abbreviation). It connects with the circuit board 10 electrically through the bump 17, and respectively electric connection is made to the bonding pads 152 and 153 currently formed in the circuit board 10 by the bonding wire 19, and the bonding pad 154 of the 2nd semiconductor chip 112 and the 3rd semiconductor chip 113 is in the 1st semiconductor chip 111.

[0034]

In addition, even if it loads the 2nd semiconductor chip 112 on the 3rd semiconductor chip 113, it does not interfere. Moreover, after carrying out sequential loading of the 2nd and 3rd semiconductor chips 112 and 113 according to an individual after carrying out flip chip mounting of the 1st semiconductor chip 111 at the circuit board 10, or fixing beforehand the 1st the 3rd semiconductor chip 111 thru/or 113 mutually with adhesives 14, it may be made to make bump connection of the 1st semiconductor chip 111 at the circuit board 10.

[0035]

Drawing 8 (a) and (b) are the top views and important section sectional views for explaining the 8th example of this invention, respectively, and show the semiconductor device which loads two or more semiconductor chips into the circuit board explained with reference to drawing 5, and grows into it like the example of drawing 7. As shown in drawing 8 (a) and (b), sequential loading of the 2nd semiconductor chip 112 and 3rd semiconductor chip 113 is carried out on the 1st semiconductor chip 111 by which flip chip mounting was carried out through the bump 17 at the circuit board 10.

[0036]

In the case of this example, the 2nd semiconductor chip 112 is electrically connected to the bonding pad 152 currently formed in the circuit board 10 through the bump 171. The 3rd semiconductor chip 113 turns up the front face in which the bonding pad 154 was formed, and is arranged, and electrical installation is performed to the bonding pad 153 currently formed in the circuit board 10 of the bonding wire 19.

[0037]

The 2nd semiconductor chip 112 and 3rd semiconductor chip 113 of each other are being fixed by adhesives 14. The gap between the 1st semiconductor chip 111 and the 2nd semiconductor chip 112 is filled up with the under-filling restoration 22, and the part flows into a perimeter and forms the fillet 221 in the side face of the 2nd semiconductor chip 112.

While the clearance between the 1st semiconductor chip 111 and the circuit board 10 is filled up with under-filling resin 12 and the part flows into the slot (illustration abbreviation) established in the insulator layer pattern 13 currently formed in the perimeter of a semiconductor chip loading field (illustration abbreviation), it is the same as that of the example of drawing 7 to form the fillet 121 in the side face of the 1st semiconductor chip 111.

[0038]

In addition, after fixing mutually beforehand with adhesives 14, while loading the 2nd and 3rd semiconductor chips 112 and 113 into the circuit board 10 on the 1st semiconductor chip 111 by which flip chip mounting was carried out After being made to make bump connection of the 2nd semiconductor chip 112 at the circuit board 10 or carrying out flip chip mounting of the 1st semiconductor chip 111 at the circuit board 10, sequential loading of the 2nd and 3rd semiconductor chips 112 and 113 may be carried out according to an individual.

[0039]

According to the semiconductor device of the structure shown in the example of drawing 7 and drawing 8, in addition to thin-shape-izing by making thickness of a semiconductor chip small, the densification by loading further two or more semiconductor chips becomes possible. Especially, by [as / in the example of drawing 8] making bump connection, loading of a high-speed device also of the 2nd semiconductor chip 112 is attained, and it can provide the circuit board 10 with the semiconductor device of high density and a high speed with a thin shape. using bump connection and wirebonding suitably — in addition, the number of semiconductor chips which the combination of the semiconductor chip of various dimensions is possible, and is loaded is not limited to 3, either.

[0040]

Drawing 9 (a) and (b) are the top views and important section sectional views for explaining the 9th example of this invention, respectively, and show the semiconductor device which consists of the circuit board explained with reference to drawing 3 . Flip chip bonding of the semiconductor chip 111 is carried out to the circuit board 10 through the bump 17. or [that it is more long compared with the slot which the bulge part 135 is formed in the insulator layer pattern 13 prepared in the perimeter of the semiconductor chip loading field in the front face of the circuit board 10 as above-mentioned, and is formed in the other part in the insulator layer pattern 13] — or the slot (sign 136 in drawing 3) formed more densely is formed.

[0041]

For this reason, the fillet 121 which the clearance between the circuit board 10 and a semiconductor chip 111 was supplied, and the under-filling resin 12 which flowed into the perimeter by load impression in a flip chip mounting process flowed into the slot of the bulge part 135 more mostly by capillarity, consequently spread greatly on the side face of the corner of a semiconductor chip 111 is formed. Therefore, the thermal stress concentrated on the corner of a semiconductor chip 111 in a temperature cycle etc. is eased, and the dependability over the bump joint of a semiconductor device improves.

[0042]

It forms and extending in a radial etc. does not interfere so that what extends at a different include angle may be intermingled, so that the slot 131,132,133 of the insulator layer pattern 13 shown in the example of above-mentioned this invention all may not extend at a right angle at the verge of the insulator layer pattern 13 which counters the semiconductor chip loading field 11 and the include angle of the arbitration which is not parallel to said verge may be made. Similarly, as for the slot 136 formed in each bulge part 135, it is needless to say that it does not need to be mutually parallel, either. Moreover, it cannot be overemphasized that what is necessary is not to limit formation of the insulator layer pattern 13 to an approach, a specific technique, or a specific ingredient, and just to use suitably the insulator layer formation approach and RISOGURAFU technique of common knowledge of rotation spreading of a photopolymer, screen-stencil of an insulating material paste, CVD, and vacuum evaporation and others.

[0043]

This invention shall contain the following modes.

(Additional remark 1) It is the circuit board in which a semiconductor chip is carried,

Two or more conductor patterns connected through each of two or more projection electrodes for being prepared in either this circuit board or each front face of a semiconductor chip which counters mutually, and connecting this semiconductor chip and the circuit board electrically,

The pattern of an insulator layer with which two or more slots which are prepared so that the field in which this semiconductor chip in said front face of this circuit board should be carried may be surrounded, have the verge close to this field, and extend toward the method of outside from this verge are formed

** — since — the circuit board characterized by changing.

[0044]

(Additional remark 2) The slot which said semiconductor chip is a rectangle and is formed in the pattern of said insulator layer is the circuit board of the additional remark 1 publication characterized by being formed for a long time compared with the part which counters the shorter side of this semiconductor chip in the part of the pattern of this insulator layer that counters the long side of this semiconductor chip.

(Additional remark 3) The slot which said semiconductor chip is a rectangle and is formed in the pattern of said insulator layer is the circuit board the additional remark 1 characterized by being more densely formed compared with the part which counters the shorter side of this semiconductor chip in the part which counters the long side of this semiconductor chip of the pattern of this insulator layer, or given in two.

[0045]

(Additional remark 4) Said slot which the pattern of said insulator layer has the part which bulges in the method of outside along the direction which goes to a corner from the core of this field [near the corner of the field in which said semiconductor chip in said circuit board should be carried], and is formed in the pattern of this insulator layer is the circuit board given in the additional remark 1 thru/or any of 3 they are. [which is characterized by to be formed for a long time compared with other parts in this bulge part]

[0046]

(Additional remark 5) Said slot which the pattern of said insulator layer has the part which bulges in the method of outside along the direction which goes to a corner from the core of this field [near the corner of the field in which said semiconductor chip in said circuit board should be carried], and is formed in the pattern of this insulator layer is the circuit board given in the additional remark 1 thru/or any of 4 they are. [which is characterized by to be more densely formed compared with other parts in this bulge part]

[0047]

(Additional remark 6) The thickness of the insulator layer which constitutes the pattern of said insulator layer is the circuit board given in the additional remark 1 thru/or any of 5 they are more greatly. [which is characterized by being equal to the distance between said semiconductor chip which should be carried in said circuit board, and said each front face of this circuit board which counters mutually, and smaller than distance between this circuit board front face and the upper front face of this semiconductor chip]

[0048]

(Additional remark 7) The array pitch of two or more of said slots formed in the pattern of said insulator layer is the circuit board the additional remark 1 characterized by being smaller than the array pitch of two or more of said projection electrodes currently formed for any of said semiconductor chip or said circuit board being thru/or given in any of 6.

(Additional remark 8) The circuit board given in the additional remark 1 thru/or any of 7 they are. [which is characterized by forming 2nd at least one slot which intersects two or more slots which extend toward the method of outside to the pattern of said insulator layer from the verge close to the field in which said semiconductor chip in said circuit board should be carried]

[0049]

(Additional remark 9) The circuit board given in the additional remark 1 thru/or any of 7 they are. [which is characterized by forming in said front face of said circuit board two or more conductor patterns for electrical installation with the 2nd semiconductor chip which should be loaded on said semiconductor chip]

(Additional remark 10) Semiconductor device characterized by consisting of the circuit board given in any [additional remark 1 thru/or] of 8 they are, filling up with adhesives between said each front face of said semiconductor chip and this circuit board which

counters mutually, and covering the side face of this semiconductor chip by these adhesives.

[0050]

(Additional remark 11) The circuit board of additional remark 9 publication It consists of the semiconductor chip carried in this circuit board, and the 2nd semiconductor chip loaded on this semiconductor chip, and fills up with adhesives between said each front face of this semiconductor chip and this circuit board which counters mutually. The side face of this semiconductor chip with these adhesives It is the semiconductor device characterized by being covered and connecting this 2nd semiconductor chip to two or more conductor patterns currently formed in said front face of this circuit board electrically.

[0051]

(Additional remark 12) It is the semiconductor device characterized by having consisted of the circuit board additional remark 4 or given in five, and the wrap aforementioned adhesives having extended the side face in the corner of said semiconductor chip into said bulge part.

(Additional remark 13) The thickness of said semiconductor chip is 150 micrometers. Or semiconductor device given in the additional remark 10 thru/or any of 12 they are. [which is characterized by being less than / it]

[0052]

(Additional remark 14) Process which supplies adhesives to said field in which said semiconductor chip in said circuit board should be carried,

The process which makes these some adhesives flow to said slot currently formed in the pattern of said insulator layer from this field while impressing a load to this semiconductor chip and connecting this semiconductor device and this circuit board to it electrically through said projection electrode, after laying this semiconductor chip in this field to which these adhesives were supplied

How to manufacture a semiconductor device given in the additional remark 10 or any of 12 they are. [which is characterized by including **]

[0053]

(Additional remark 15) Semiconductor chip

The circuit board in which this semiconductor chip is carried,

Two or more projection electrodes which are prepared in either of the front faces which are this semiconductor chip and each one principal plane of the circuit board, and counter mutually, and connect this semiconductor chip and this circuit board electrically,

The pattern of an insulator layer with which two or more slots which are prepared so that the field in which this semiconductor chip in this front face of this circuit board was carried may be surrounded, have the verge close to this field, and extend toward the method of outside from this verge are formed

** — since — the semiconductor device characterized by changing.

[0054]

[Effect of the Invention]

As the field in which the semiconductor chip on the circuit board is carried is surrounded, the pattern of an insulator layer is prepared in a circuit board front face. By forming two or more slots which extend toward the method of outside to the pattern of this insulator layer from the verge close to the field in which a semiconductor chip is carried the thickness of a semiconductor chip — 150 micrometers or — evasion of the adhesion of [on the range not more than it and / in addition to a predetermined part] which is not desirable as for under-filling resin is possible — ** — formation of the fillet of a desirable configuration is both enabled easily, and improvement becomes possible about dependability at the efficiency list of a process.

[Brief Description of the Drawings]

[Drawing 1] The top view and expansion important section sectional view for explaining the 1st example of this invention

[Drawing 2] The top view for explaining the 2nd example of this invention

[Drawing 3] The top view for explaining the 3rd example of this invention

[Drawing 4] The part plan for explaining the 4th example of this invention

[Drawing 5] The top view for explaining the 5th example of this invention

[Drawing 6] The important section sectional view for explaining the 6th example of this invention

[Drawing 7] The top view and important section sectional view for explaining the 7th example of this invention

[Drawing 8] The top view and important section sectional view for explaining the 8th example of this invention

[Drawing 9] The top view and important section sectional view for explaining the 9th example of this invention

[Drawing 10] The important section sectional view of the semiconductor device by the conventional flip chip mounting

[Description of Notations]

10 Circuit Board

11 Semiconductor Chip Loading Field

12 22 Under-filling resin

13 Insulator Layer Pattern

14 Adhesives

15,152,153,154 Bonding pad

16 External Connection Terminal

17,171 Bump

18 Resin Mold

19 Bonding Wire

111, 112, 113 Semiconductor chip

121 221 Fillet

131, 132, 133, 136 Slot

135 Bulge Part

137 2nd Slot

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The top view and expansion important section sectional view for explaining the 1st example of this invention

[Drawing 2] The top view for explaining the 2nd example of this invention

[Drawing 3] The top view for explaining the 3rd example of this invention

[Drawing 4] The part plan for explaining the 4th example of this invention

[Drawing 5] The top view for explaining the 5th example of this invention

[Drawing 6] The important section sectional view for explaining the 6th example of this invention

[Drawing 7] The top view and important section sectional view for explaining the 7th example of this invention

[Drawing 8] The top view and important section sectional view for explaining the 8th example of this invention

[Drawing 9] The top view and important section sectional view for explaining the 9th example of this invention

[Drawing 10] The important section sectional view of the semiconductor device by the conventional flip chip mounting

[Description of Notations]

10 Circuit Board

11 Semiconductor Chip Loading Field

12 22 Under-filling resin

13 Insulator Layer Pattern

14 Adhesives

15,152,153,154 Bonding pad

16 External Connection Terminal

17,171 Bump

18 Resin Mold

19 Bonding Wire

111, 112, 113 Semiconductor chip

121 221 Fillet

131, 132, 133, 136 Slot

135 Bulge Part

137 2nd Slot

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-186213

(P2004-186213A)

(43) 公開日 平成16年7月2日(2004.7.2)

(51) Int. Cl. 7

H01L 21/60

H01L 23/12

F1

H01L 21/60

H01L 23/12

311S

F

テーマコード (参考)

5F044

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号

特願2002-348277 (P2002-348277)

(22) 出願日

平成14年11月29日 (2002.11.29)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100072590

弁理士 井桁 貞一

(72) 発明者

西村 隆雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者

小野寺 浩

宮城県柴田郡村田町大字村田字西ヶ丘1番
地の1 株式会社富士通宮城エレクトロニ
クス内

最終頁に続く

(54) 【発明の名称】 回路基板および半導体装置

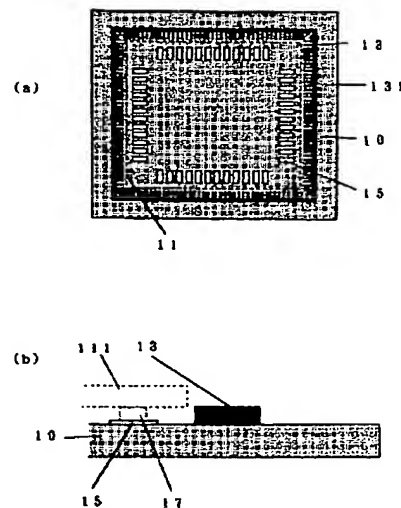
(57) 【要約】

【課題】半導体チップを回路基板にバンプ接続して成る半導体装置に関し、半導体チップの厚さが150 μ mないしそれ以下の範囲においても、所定の部位以外に対するアンダーフィル樹脂の好ましくない付着を回避可能とすると共に、好ましい形状のフィレットを容易に形成可能とし、工程の能率並びに信頼性を向上可能とすることを目的とする。

【解決手段】回路基板における半導体チップが搭載される領域を囲むようにして回路基板表面に絶縁膜のパターンを設け、この絶縁膜のパターンに、半導体チップが搭載される領域に近接する辺縁から外方に向かって延在する複数の溝を形成しておくように構成する。

【選択図】 図1

本発明の第1の実施例を説明するための平面図および拡大断面図



【特許請求の範囲】

【請求項 1】

半導体チップを搭載する回路基板であって、
該回路基板および該半導体チップのそれぞれの互いに対向する表面の何れか一方に設けられ且つ該半導体チップと回路基板とを電氣的に接続するための複数の突起電極のそれぞれを介して接続される複数の導体パターンと、
該回路基板の前記表面における該半導体チップが搭載されるべき領域を囲むように設けられ、該領域に近接する辺縁を有し且つ該辺縁から外方に向かって延在する複数の溝が形成されている絶縁膜のパターン
とから成ることを特徴とする回路基板。

10

【請求項 2】

前記半導体チップは長方形であり且つ前記絶縁膜のパターンに形成されている溝は該半導体チップの長辺に対向する該絶縁膜のパターンの部分において該半導体チップの短辺に対向する部分に比べてより長く形成されていることを特徴とする請求項 1 記載の回路基板。

【請求項 3】

前記絶縁膜のパターンを構成する絶縁膜の厚さは前記回路基板に搭載されるべき前記半導体チップおよび該回路基板のそれぞれの前記互いに対向する表面間の距離と等しいかまたはより大きく且つ該回路基板表面と該半導体チップの上表面との間の距離より小さいことを特徴とする請求項 1 又は 2 記載の回路基板。

【請求項 4】

請求項 1 乃至 3 の何れかに記載の回路基板から成り且つ前記半導体チップおよび該回路基板のそれぞれの前記互いに対向する表面間に接着剤が充填されており且つ該半導体チップの側面が該接着剤によって覆われていることを特徴とする半導体装置。

20

【請求項 5】

前記回路基板における前記半導体チップが搭載されるべき前記領域に接着剤を供給する工程と、
該接着剤が供給された該領域に該半導体チップを載置したのち該半導体チップに荷重を印加して前記突起電極を介して該半導体装置と該回路基板とを電氣的に接続すると共に該接着剤の一部を該領域から前記絶縁膜のパターンに形成されている前記溝まで流動させる工程

30

とを含むことを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

本発明は半導体装置に係り、特に回路基板に半導体チップがバンプ接続され、半導体チップと回路基板との間にアンダーフィルが充填された構造を有する半導体装置に関する。

【0001】

【従来の技術】

半導体装置の小型化、薄型化、高密度化の要求から、半導体チップまたはこれを搭載する回路基板の何れか一方に形成した突起状の電極（バンプ）によって半導体チップと回路基板とを電氣的に接続するフリップチップ実装が採用されている。

【0002】

低コストのフリップチップ実装法として、回路基板上の半導体チップが搭載される領域にあらかじめアンダーフィル樹脂を供給しておき、回路基板に載置した半導体チップに荷重と、必要に応じて熱または超音波あるいはこれらの双方を印加して、バンプを介して半導体チップを回路基板に電氣的に接続すると共に、アンダーフィル樹脂によって半導体チップと回路基板を相互に接着する方法（アンダーフィル樹脂先入れ法）がある。

40

【0003】

通常、アンダーフィル樹脂は、その一部が半導体チップの周囲にはみ出し、半導体チップの側面を覆ういわゆるフィレットが形成されるように、その供給量が制御される。フィレットは、半導体装置に温度サイクルが印加された場合、半導体チップと回路基板との熱膨張率の差に起因する熱応力を緩和し、半導体チップと回路基板との剥離、特にバンプ接続

50

部の破断を防止し、半導体装置の信頼性を向上するために必要とされている。

【0004】

【発明が解決しようとする課題】

半導体装置の小型化、薄型化等をさらに進めるために、半導体チップの厚さを小さくすることが有効であるが、半導体チップを薄くすると、フィレットのアンダーフィル樹脂が半導体チップの上面に這い上がりやすくなり、種々の問題を生じる。

【0005】

すなわち、フリップチップ実装工程において、半導体チップの上面に付着したアンダーフィル樹脂が、半導体チップを真空吸引し保持するボンディングツールに転写され、ボンディングツールの吸引孔に達して目詰りを生じ、吸引不良を引き起こす。このため、転写されたアンダーフィル樹脂を除去する必要がある。このため、生産性が低下する結果となる。また、ボンディングツールに付着したアンダーフィル樹脂が、次に真空吸引した半導体チップに転写され、これが固化すると、この半導体チップは以後の工程において寸法不良となったり、表面が平坦でないことから、ボンディングツールによる真空吸引ができなくなる。

10

【0006】

一方、回路基板上に搭載した半導体チップの上に第2の半導体チップを積載した半導体装置が開示されている。(例えば、特許文献1および2)

【0007】

【特許文献1】

20

特開平5-47998号公報

【0008】

【特許文献2】

特開平7-236710号公報

このような構造の半導体装置の場合には、最初の半導体の上表面にアンダーフィル樹脂が付着し固化すると、その上に第2の半導体を積載する工程で障害となる。

【0009】

上記の問題は、半導体チップの厚さが $150\mu\text{m}$ ないしそれ以下になると顕著になる。半導体チップの周囲にはみ出すアンダーフィル樹脂の量を少なくすれば解決できるはずであるが、アンダーフィル樹脂の供給をそのように制御することは實際上困難である。アンダーフィル樹脂の供給が不足すると、望ましい形状のフィレットが形成されず、温度サイクルに対する半導体装置の信頼性を保証できなくなるおそれがある。したがって、上表面にアンダーフィル樹脂を付着させることなく、 $150\mu\text{m}$ ないしそれ以下の厚さの半導体チップの側面にアンダーフィル樹脂のフィレットを形成する方法が要望されていた。

30

【0010】

ところで、図10に示すように、回路基板1における半導体チップ2が搭載される領域の周囲にソルダーレジストから成るダム(堰状の構造物)3を形成する半導体実装方法が提案されている。(例えば特許文献3)

【0011】

【特許文献3】

40

特開平10-98075号公報

上記の方法は、回路基板に搭載された半導体チップの周囲にデヘスペンサから供給したアンダーフィル樹脂が、ソルダーレジストから成るダムによって堰止められ、周囲に流れるのを防止することを目的とするものである。

【0012】

しかし、半導体チップの厚さが小さくなると、ソルダーレジストのダムによって堰止められたアンダーフィル樹脂が半導体チップの周囲に盛り上がり、むしろ半導体チップの上表面に流れやすく、前述の問題を生じやすくなる。

一方、信頼性試験等における温度サイクルにより、回路基板にバンプ接続された半導体チップの角部分の近傍に、回路基板との熱膨張率の差による応力が集中し、接合不良が生じ

50

やすい問題がある。これを解決するために、半導体チップの四隅に、アンダーフィル樹脂から成るフィレットを大きく形成する方法が開示されている。（例えば、特許文献４）

【００１３】

【特許文献４】

特許公報２８２８０２１号

開示された方法によれば、回路基板にフリップチップ実装したのちに、半導体チップの四隅にアンダーフィル樹脂をポッティングして、半導体チップと回路基板間に充填することになるため、前述のアンダーフィル先入れ法に比べて時間がかかり、生産性向上を制約することが避けられない。

【００１４】

本発明は、上記従来の方法における問題点を解決することを目的とする。

【００１５】

【課題を解決するための手段】

上記の目的は、半導体チップを搭載する回路基板であって、該回路基板または半導体チップのそれぞれの互いに対向する表面の何れか一方に設けられ且つ該半導体チップと回路基板とを電気的に接続する複数の突起電極と、該回路基板の前記表面における該半導体チップが搭載されるべき領域を囲むように設けられ、該領域に近接する辺縁を有し且つ該辺縁から外方に向かって延在する複数の溝が形成されている絶縁膜のパターンとから成ることを特徴とする本発明の回路基板、または、半導体チップと、該半導体チップを搭載する回路基板と、該半導体チップおよび回路基板のそれぞれの互いに対向する表面の何れか一方に設けられ且つ該半導体チップと該回路基板とを電気的に接続する複数の突起電極と、該回路基板の該表面における該半導体チップが搭載された領域を囲むように設けられ、該領域に近接する辺縁を有し且つ該辺縁から外方に向かって延在する複数の溝が形成されている絶縁膜のパターンとから成ることを特徴とする本発明の半導体装置によって達成される。

【００１６】

【作用】

回路基板における半導体チップが搭載される領域の周囲に、絶縁膜から成るパターンで、半導体チップ搭載領域側から外方向に延在する複数の溝が形成された、櫛形のパターンを設ける。アンダーフィル樹脂先入れ法によって半導体チップを回路基板にフリップチップ実装する場合、半導体チップの周囲に流出したアンダーフィル樹脂が溝に吸収されるため、過剰なアンダーフィル樹脂が盛り上がって半導体チップの上表面に這い上がることを容易に防止できる。したがって、薄い半導体チップのフリップチップ実装においても、生産性を低下させることなく、アンダーフィル樹脂から成る好ましい形状のフィレットを半導体チップの側面に形成できる。

【００１７】

【発明の実施の形態】

以下本発明の実施例を図面を参照して説明する。以下の図面において同一個所には同一の符号を付してある。

図１（ａ）および（ｂ）はそれぞれ本発明の第１の実施例を説明するための平面図および拡大要部断面図である。

【００１８】

セラミックまたは樹脂から成る回路基板１０の１主面における半導体チップ１１１（図１（ｂ）に点線で示した構造物）が搭載される領域１１（図１（ａ）における点線内の領域）の周囲には、絶縁膜から成るパターン１３が形成されている。絶縁膜としては、ソルダーレジストまたはポリイミド等の耐熱性有機絶縁膜を用いることができ、厚さは、絶縁膜パターン１３の上表面が、半導体チップ１１１の下表面と同じ高さと同しいかより高く、かつ、半導体チップ１１１の上表面より低くなるように選ぶのが望ましく、例えば４０μm ないし１００μm とする。

【００１９】

10

20

30

40

50

絶縁膜パターン 13 には、半導体チップ搭載領域 11 側から外方向に延在する複数の溝 131 が形成されている。溝 131 の幅および配列ピッチの例は、それぞれ、 $30 \pm 5 \mu\text{m}$ および $60 \pm 5 \mu\text{m}$ である。また、溝 131 の長さは、例えば $350 \mu\text{m}$ であるが、あまり短いと効果が得られないことは言うまでもない。絶縁膜パターン 13 の幅はとくに制約はなく、半導体チップ搭載領域 11 と回路基板 10 の端縁との間に納まる範囲で適宜決めることができる。

【0020】

図 1 の構造により、回路基板 10 上にアンダーフィル樹脂を供給したのち、半導体チップ 111 をバンプ 17 を介して回路基板 10 の表面に形成されているボンディングパッド 15 に接続する工程において、半導体チップ 111 に荷重を印加することによりチップ搭載領域 11 の周囲に流出したアンダーフィル樹脂は、絶縁膜パターン 13 に達すると、毛細管現象により溝 131 中に流れ込む。一方、半導体チップ 111 の側面にアンダーフィル樹脂が這い上がり、フィレットを形成する。溝 131 中のアンダーフィル樹脂とフィレットを形成するアンダーフィル樹脂とは表面張力が働く。したがって、溝 131 中にアンダーフィル樹脂が満たされない限り、半導体チップ 111 の周囲にアンダーフィル樹脂が盛り上がることはない。

【0021】

また、この際に、回路基板 10 と半導体チップ 111 のいずれか一方または双方を加熱しておくことにより、アンダーフィル樹脂の粘度が低下し、流動性が増すため、より短時間で溝 131 内へのアンダーフィル樹脂の流れ込みとフィレットの形成を行うことができる。なお、バンプ 17 は、半導体チップ 111 側または回路基板 10 のボンディングパッド 15 側のいずれに形成してもよい。

【0022】

このように、溝 131 がアンダーフィル樹脂を引き込む作用を示すため、アンダーフィル樹脂の供給量やフィレットの形状の制御が容易になり、前述のような従来の問題点を解消することができる。その結果、製造歩留りおよび生産性の向上、半導体装置の温度サイクルに対する信頼性の向上が可能となる。このような効果は、半導体チップ 111 の厚さが薄くなった場合に顕著であり、半導体装置の薄型化、高密度化に対する寄与が大である。

【0023】

図 2 は本発明の第 2 の実施例を説明するための平面図であり、回路基板 10 に搭載される半導体チップ（図示省略）が長方形の場合である。したがって、回路基板 10 もこれに合わせて長方形であり、半導体チップ搭載領域 11 も長方形である。本実施例においては、半導体チップ搭載領域 11 の周囲に形成される絶縁膜パターン 13 における溝は、半導体チップの長辺、すなわち、半導体チップ搭載領域 11 の長辺に対向する部分における溝 132 が、短辺に対向する部分における溝 133 に比べて、より長いかまたはより密にあるいはより幅が狭く形成されている。例えば、溝 133 の長さが $200 \mu\text{m}$ であるのに対して、溝 132 の長さは $350 \mu\text{m}$ である。または、溝 133 の配列ピッチが $90 \mu\text{m}$ であるのに対して、溝 132 の配列ピッチは $60 \mu\text{m}$ である。あるいは、溝 133 の幅が $25 \pm 5 \mu\text{m}$ であるのに対して、溝 132 の幅は $15 \pm 5 \mu\text{m}$ である。これらの値は半導体チップの長辺と短辺の長さの比率およびアンダーフィル樹脂の物性に依りて適宜設定される。

【0024】

このように、長辺側の溝 132 をより長くするかまたはより密になるように、あるいはより長くかつより密になるように、もしくはより幅が狭くなるように形成しておくことにより、長方形の半導体チップをアンダーフィル先入れ法によるフリップチップ実装する際に、長辺側でより発生しやすかったアンダーフィル樹脂の盛り上がり起因する不具合を容易に抑制できる。

【0025】

図 3 は本発明の第 3 の実施例を説明するための平面図であり、回路基板 10 の表面に設けられる絶縁膜パターン 13 には、半導体チップ搭載領域 11 の隅部近傍に、半導体チップ

搭載領域 11 の中心から隅部に向かう方向に沿って外部に膨出する部分 135 が設けられている。そして、膨出部分 135 には、絶縁膜パターン 13 のその他の部分、すなわち半導体チップ搭載領域 11 に対向する直線部分、に形成されている溝 131 に比べて、より長いまたはより密になるように、あるいはより長くかつより密になるように、もしくは幅が狭くかつより密になるように形成された溝 136 が設けられている。

【0026】

絶縁膜パターン 13 の隅部により長いまたは密な溝 136 を有する膨出部分 135 を設けることにより、回路基板 10 上に半導体チップ（図示省略）をアンダーフィル樹脂先入れ法によってフリップチップ実装する際に、半導体チップの周囲に流出し、毛細管現象によって膨出部分 135 の溝 136 に流れ込むアンダーフィル樹脂の量が多くなる。その結果、半導体チップの角部分により大きなフィレットが形成される。その結果、温度サイクルに対する半導体装置の信頼性を向上できる。また、従来技術で述べたように、フリップチップ実装後に、半導体チップの角部分にアンダーフィル樹脂をポッティングして大きなフィレットを形成する方法に比べて生産性を向上できる。

【0027】

図 4 は本発明の第 4 の実施例を説明するための部分平面図であり、前記各実施例における絶縁膜パターン 13 に、溝 131、132、133 に交差する第 2 の溝を形成した例を示す。図 4 (a) は第 2 の溝を形成する前の絶縁膜パターン 13 の部分を示し、例えば第 1 の溝 131 のみが形成されている。図 4 (b) は、絶縁膜パターン 13 における各溝 131 の、半導体チップ搭載領域（図示省略）側とは反対の、溝 131 の最奥部において交差する第 2 の溝 137 が形成されている例を示す。図 4 (c) は、図 4 (b) における第 2 の溝 137 の他に 2 本の第 2 の溝 137 が形成されている例を示す。

【0028】

本実施例のように第 2 の溝 137 を設けることにより、毛細管現象によって溝 131 内におけるアンダーフィル樹脂の流動が促進され、生産性の向上、歩留りの向上に対する効果がより大きくなる。

図 5 は本発明の第 5 の実施例を説明するための平面図であり、第 2 および第 3 の半導体チップ（図示省略）との電気的接続を行うためのボンディングパッドが形成された回路基板の例を示す。すなわち、回路基板 10 には、これまでの各実施例と同様に、半導体チップ搭載領域 11 の内側に、第 1 の半導体チップ（図示省略）をバンパ接続するためのボンディングパッド 15 が形成されている。

【0029】

本実施例では、半導体チップ搭載領域 11 の周囲に形成されている絶縁膜パターン 13 のさらに外側に、回路基板 10 の例えば長辺に沿って、第 2 の半導体チップ（図示省略）との電気的接続を行うためのボンディングパッド 152 が配列されており、また、回路基板 10 の例えば短辺に沿って、第 3 の半導体チップ（図示省略）との電気的接続を行うためのボンディングパッド 153 が配列されている。第 2 および第 3 の半導体チップは、第 1 の半導体チップ上に順次積載され互いに固定されるが、詳細は後の実施例において説明する。

【0030】

図 6 は本発明の第 6 の実施例を説明するための要部断面図である。回路基板 10 と、その表面にボンディングパッド 15 およびバンパ 17 を介してフリップチップ実装された半導体チップ 111 との間の隙間には、例えばエポキシ樹脂から成り、低熱膨張率のフィラーを混合分散されたアンダーフィル樹脂 12 が充填されている。半導体チップ 111 の側面には、フリップチップ実装工程における荷重の印加によって周囲に流出したアンダーフィル樹脂から成るフィレット 121 が形成されている。

【0031】

図 6 においてフィレット 121 は絶縁膜パターン 13 上に延在している状態が示されているが、絶縁膜パターン 13 には前述の各実施例で示したような溝（図示省略）が形成されており、フィレット 121 を構成するアンダーフィル樹脂はこの溝内に流入しているの

、絶縁膜パターン13上に延在するような形状や供給量に制御することは必須ではない。なお、符号16は、回路基板10に搭載された半導体チップ111から成る半導体装置と外部回路との接続を行うための、例えば半田ボールから成る外部接続端子、符号18は半導体装置を封止する樹脂モールドである。

【0032】

図6に示す半導体装置においては、絶縁膜パターン13を設けたことにより、半導体チップ111の厚さが小さくなった場合に生じる従来の問題点を回避可能となり、半導体装置の薄型化が容易となり、かつ、生産性も向上される。

図7(a)および(b)はそれぞれ本発明の第7の実施例を説明するための平面図および要部断面図であり、図5を参照して説明した回路基板に複数の半導体チップを積載して成る半導体装置を示す。図7(a)および(b)に示すように、回路基板10にフリップチップ実装された第1の半導体チップ111の上に、第2の半導体チップ112および第3の半導体チップ113が、ボンディングパッド154を形成された表面を上にして、順次積載されている。半導体チップ111、112、113は互いに隣接するものどうしが接着剤14により固定されている。

【0033】

第1の半導体チップ111と回路基板10との間の隙間に充填されたアンダーフィル樹脂12の一部は、半導体チップ搭載領域(図示省略)の周囲に形成されている絶縁膜パターン13に設けられている溝(図示省略)に流入すると共に、第1の半導体チップ111の側面にフィレット121を形成している。

第1の半導体チップ111は bumps 17を介して回路基板10に電氣的に接続されており、また、第2の半導体チップ112および第3の半導体チップ113のボンディングパッド154は、回路基板10に形成されているボンディングパッド152および153に、ボンディングワイヤ19によって、それぞれ電氣的な接続が行われている。

【0034】

なお、第2の半導体チップ112を第3の半導体チップ113の上に積載しても差し支えない。また、第1の半導体チップ111を回路基板10にフリップチップ実装したのち、第2および第3の半導体チップ112および113を個別に順次積載してもよく、または、第1ないし第3の半導体チップ111ないし113を、接着剤14によりあらかじめ相互に固定したのち、第1の半導体チップ111を回路基板10に bumps 接続するようにしてもよい。

【0035】

図8(a)および(b)はそれぞれ本発明の第8の実施例を説明するための平面図および要部断面図であり、図7の実施例と同様に、図5を参照して説明した回路基板に複数の半導体チップを積載して成る半導体装置を示す。図8(a)および(b)に示すように、 bumps 17を介して回路基板10にフリップチップ実装された第1の半導体チップ111の上に、第2の半導体チップ112および第3の半導体チップ113が順次積載されている。

【0036】

本実施例の場合には、第2の半導体チップ112は、 bumps 171を介して、回路基板10に形成されているボンディングパッド152に電氣的に接続されている。第3の半導体チップ113は、ボンディングパッド154を形成された表面を上にして配置されており、ボンディングワイヤ19によって、回路基板10に形成されているボンディングパッド153に電氣的接続が行われている。

【0037】

第2の半導体チップ112と第3の半導体チップ113とは互いに接着剤14により固定されている。第1の半導体チップ111と第2の半導体チップ112の間隙には、アンダーフィル充填22が充填されており、その一部が周囲に流出して第2の半導体チップ112の側面にフィレット221を形成している。

第1の半導体チップ111と回路基板10との間の隙間にはアンダーフィル樹脂12が充

填されており、その一部が、半導体チップ搭載領域（図示省略）の周囲に形成されている絶縁膜パターン13に設けられている溝（図示省略）に流入すると共に、第1の半導体チップ111の側面にフィレット121を形成していることは図7の実施例と同様である。

【0038】

なお、第2および第3の半導体チップ112および113を、接着剤14によりあらかじめ相互に固定したのち、回路基板10にフリップチップ実装された第1の半導体チップ111上に積載すると共に、第2の半導体チップ112を回路基板10にバンパ接続するようにしてもよいし、または、第1の半導体チップ111を回路基板10にフリップチップ実装したのち、第2および第3の半導体チップ112および113を個別に順次積載してもよい。

10

【0039】

図7および図8の実施例に示した構造の半導体装置によれば、半導体チップの厚さを小さくすることによる薄型化に加え、さらに複数の半導体チップを積載することによる高密度化が可能となる。とくに、図8の実施例におけるように、第2の半導体チップ112も回路基板10にバンパ接続することにより、高速のデバイスを搭載可能となり、薄型で高密度かつ高速の半導体装置を提供できる。バンパ接続とワイヤボンディングを適宜用いることにより、その他にも種々の寸法の半導体チップの組合せが可能であり、積載する半導体チップ数も3に限定されるものではない。

【0040】

図9（a）および（b）はそれぞれ本発明の第9の実施例を説明するための平面図および要部断面図であり、図3を参照して説明した回路基板から成る半導体装置を示す。回路基板10には半導体チップ111が、バンパ17を介してフリップチップ接続されている。前述の通り、回路基板10の表面における半導体チップ搭載領域の周囲に設けられた絶縁膜パターン13には、膨出部分135が設けられており、絶縁膜パターン13におけるそれ以外の部分に形成されている溝に比べて、より長いまたはより密に形成された溝（図3における符号136）が形成されている。

20

【0041】

このため、回路基板10と半導体チップ111との間の隙間に供給され、フリップチップ実装工程における荷重印加によって周囲に流出したアンダーフィル樹脂12が、毛細管現象によってより多く膨出部分135の溝に流れ込み、その結果、半導体チップ111の角部の側面に大きく広がったフィレット121を形成する。したがって、温度サイクル等において半導体チップ111の角部に集中する熱応力が緩和され、半導体装置のバンパ接合部に対する信頼性が向上される。

30

【0042】

上記本発明の実施例において示した絶縁膜パターン13の溝131、132、133はいずれも、半導体チップ搭載領域11に対向する絶縁膜パターン13の辺縁に直角に延在する必要はなく、前記辺縁に平行でない任意の角度をなすように、例えば、放射状に延在する等、異なる角度で延在するものが混在するように形成して差し支えない。同様に、各々の膨出部分135に形成される溝136は互いに平行である必要がないことももちろんである。また、絶縁膜パターン13の形成は特定の方法や技術あるいは材料に限定される必要はなく、感光性樹脂の回転塗布、絶縁材料ペーストのスクリーン印刷、CVD、蒸着その他の周知の絶縁膜形成方法およびリソグラフ技術を適宜利用すればよいことは言うまでもない。

40

【0043】

本発明は以下の態様を含むものとする。

（付記1） 半導体チップを搭載する回路基板であって、

該回路基板または半導体チップのそれぞれの互いに対向する表面の何れか一方に設けられ且つ該半導体チップと回路基板とを電気的に接続するための複数の突起電極のそれぞれを介して接続される複数の導体パターンと、

該回路基板の前記表面における該半導体チップが搭載されるべき領域を囲むように設けら

50

れ、該領域に近接する辺縁を有し且つ該辺縁から外方に向かって延在する複数の溝が形成されている絶縁膜のパターンとから成ることを特徴とする回路基板。

【0044】

(付記2) 前記半導体チップは長方形であり、前記絶縁膜のパターンに形成されている溝は該半導体チップの長辺に対向する該絶縁膜のパターンの部分において該半導体チップの短辺に対向する部分に比べてより長く形成されていることを特徴とする付記1記載の回路基板。

(付記3) 前記半導体チップは長方形であり、前記絶縁膜のパターンに形成されている溝は該絶縁膜のパターンの該半導体チップの長辺に対向する部分において該半導体チップの短辺に対向する部分に比べてより密に形成されていることを特徴とする付記1又は2記載の回路基板。

【0045】

(付記4) 前記絶縁膜のパターンは前記回路基板における前記半導体チップが搭載されるべき領域の隅近傍において該領域の中心から隅に向かう方向に沿って外方に膨出する部分を有し且つ該絶縁膜のパターンに形成されている前記溝は該膨出部分において他の部分に比べてより長く形成されていることを特徴とする付記1乃至3の何れかに記載の回路基板。

【0046】

(付記5) 前記絶縁膜のパターンは前記回路基板における前記半導体チップが搭載されるべき領域の隅近傍において該領域の中心から隅に向かう方向に沿って外方に膨出する部分を有し且つ該絶縁膜のパターンに形成されている前記溝は該膨出部分において他の部分に比べてより密に形成されていることを特徴とする付記1乃至4の何れかに記載の回路基板。

【0047】

(付記6) 前記絶縁膜のパターンを構成する絶縁膜の厚さは前記回路基板に搭載されるべき前記半導体チップおよび該回路基板のそれぞれの前記互いに対向する表面間の距離と等しいかまたはより大きく且つ該回路基板表面と該半導体チップの上表面との間の距離より小さいことを特徴とする付記1乃至5の何れかに記載の回路基板。

【0048】

(付記7) 前記絶縁膜のパターンに形成される前記複数の溝の配列ピッチは前記半導体チップまたは前記回路基板の何れかに形成されている前記複数の突起電極の配列ピッチより小さいことを特徴とする付記1乃至6の何れかに記載の回路基板。

(付記8) 前記絶縁膜のパターンには、前記回路基板における前記半導体チップが搭載されるべき領域に近接する辺縁から外方に向かって延在する複数の溝に交差する少なくとも1本の第2の溝が形成されていることを特徴とする付記1乃至7の何れかに記載の回路基板。

【0049】

(付記9) 前記半導体チップ上に積載されるべき第2の半導体チップとの電氣的接続のための複数の導体パターンが前記回路基板の前記表面に形成されていることを特徴とする付記1乃至7の何れかに記載の回路基板。

(付記10) 付記1乃至8の何れかに記載の回路基板から成り且つ前記半導体チップおよび該回路基板のそれぞれの前記互いに対向する表面間に接着剤が充填されており且つ該半導体チップの側面が該接着剤によって覆われていることを特徴とする半導体装置。

【0050】

(付記11) 付記9記載の回路基板と該回路基板に搭載された半導体チップと該半導体チップ上に積載された第2の半導体チップとから成り且つ該半導体チップおよび該回路基板のそれぞれの前記互いに対向する表面間に接着剤が充填されており且つ該半導体チップの側面が該接着剤によって覆われており且つ該第2の半導体チップは該回路基板の前記表面に形成されている複数の導体パターンに電氣的に接続されていることを特徴とする半導

体装置。

【0051】

(付記12) 付記4又は5記載の回路基板から成り且つ前記半導体チップの角部における側面を覆う前記接着剤は前記膨出部分に延在していることを特徴とする半導体装置。

(付記13) 前記半導体チップの厚さは150 μ mもしくはそれ以下であることを特徴とする付記10乃至12の何れかに記載の半導体装置。

【0052】

(付記14) 前記回路基板における前記半導体チップが搭載されるべき前記領域に接着剤を供給する工程と、

該接着剤が供給された該領域に該半導体チップを載置したのち該半導体チップに荷重を印加して前記突起電極を介して該半導体装置と該回路基板とを電氣的に接続すると共に該接着剤の一部を該領域から前記絶縁膜のパターンに形成されている前記溝まで流動させる工程

とを含むことを特徴とする付記10又は12の何れかに記載の半導体装置を製造する方法。

【0053】

(付記15) 半導体チップと、
該半導体チップを搭載する回路基板と、

該半導体チップおよび回路基板のそれぞれの一主面であって互いに対向する表面の何れか一方に設けられ且つ該半導体チップと該回路基板とを電氣的に接続する複数の突起電極と

、
該回路基板の該表面における該半導体チップが搭載された領域を囲むように設けられ、該領域に近接する辺縁を有し且つ該辺縁から外方に向かって延在する複数の溝が形成されている絶縁膜のパターン

とから成ることを特徴とする半導体装置。

【0054】

【発明の効果】

回路基板上における半導体チップが搭載される領域を囲むようにして回路基板表面に絶縁膜のパターンを設け、この絶縁膜のパターンに、半導体チップが搭載される領域に近接する辺縁から外方に向かって延在する複数の溝を形成しておくことにより、半導体チップの厚さが150 μ mないしそれ以下の範囲においても、所定の部位以外に対するアンダーフィル樹脂の好ましくない付着を回避可能とと共に、好ましい形状のフィレットを容易に形成可能とし、工程の能率並びに信頼性を向上可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を説明するための平面図および拡大要部断面図

【図2】 本発明の第2の実施例を説明するための平面図

【図3】 本発明の第3の実施例を説明するための平面図

【図4】 本発明の第4の実施例を説明するための部分平面図

【図5】 本発明の第5の実施例を説明するための平面図

【図6】 本発明の第6の実施例を説明するための要部断面図

【図7】 本発明の第7の実施例を説明するための平面図および要部断面図

【図8】 本発明の第8の実施例を説明するための平面図および要部断面図

【図9】 本発明の第9の実施例を説明するための平面図および要部断面図

【図10】 従来のフリップチップ実装による半導体装置の要部断面図

【符号の説明】

10 回路基板

11 半導体チップ搭載領域

12、22 アンダーフィル樹脂

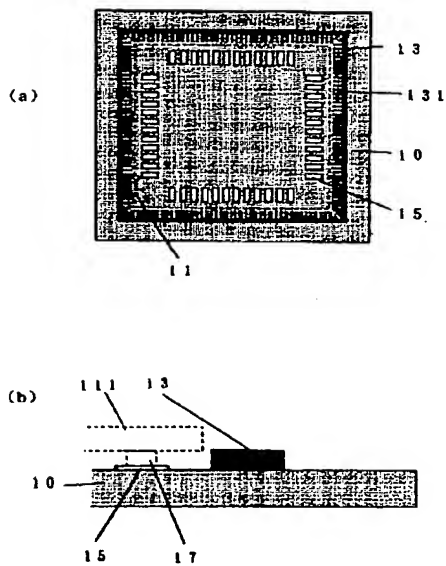
13 絶縁膜パターン

14 接着剤

- 15、152、153、154 ボンディングパッド
- 16 外部接続端子
- 17、171 パンプ
- 18 樹脂モールド
- 19 ボンディングワイヤ
- 111、112、113 半導体チップ
- 121、221 フィレット
- 131、132、133、136 溝
- 135 膨出部分
- 137 第2の溝

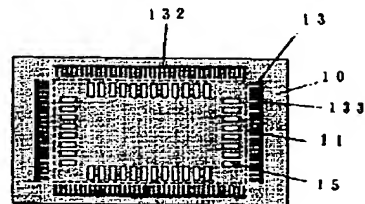
【図1】

本発明の第1の実施例を説明するための平面図および拡大断面図



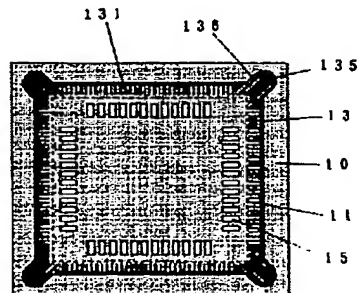
【図2】

本発明の第2の実施例を説明するための平面図

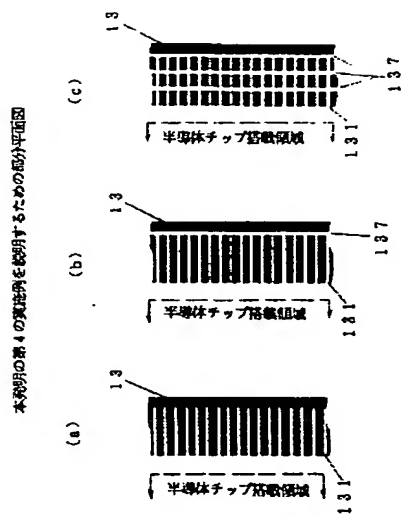


【図3】

本発明の第3の実施例を説明するための平面図

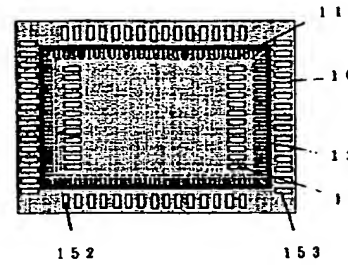


【図 4】



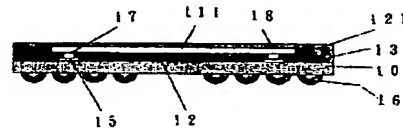
【図 5】

本発明の第5の実施例を説明するための平面図



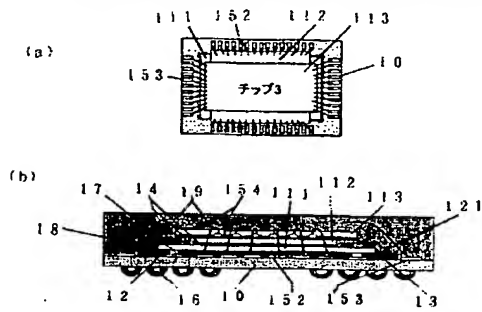
【図 6】

本発明の第6の実施例を説明するための要部断面図



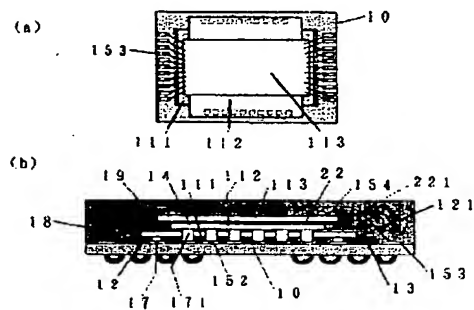
【図 7】

本発明の第7の実施例を説明するための平面図および要部断面図



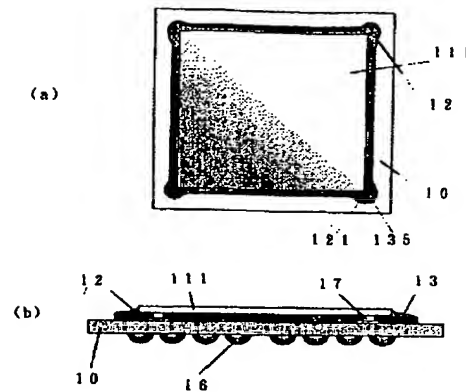
【図 8】

本発明の第8の実施例を説明するための平面図および要部断面図



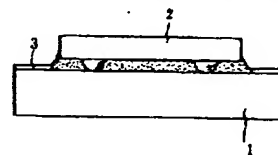
【図 9】

本発明の第9の実施例を説明するための平面図および要部断面図



【図 10】

従来のフリップチップ実装による半導体装置の要部断面図



フロントページの続き

(72)発明者 宇野 正

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 高島 晃

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5F044 KK01 LL11

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.